

MENU

SEARCH

INDEX

DETAIL

JAPANESE

NEXT

1 / 2

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-216506

(43)Date of publication of application : 31.07.2003

(51)Int.Cl.

G06F 12/16

G11C 16/02

(21)Application number : 2002-013641

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.01.2002

(72)Inventor : KANEDA TAKAHITO

INAGAMI HIROSHI

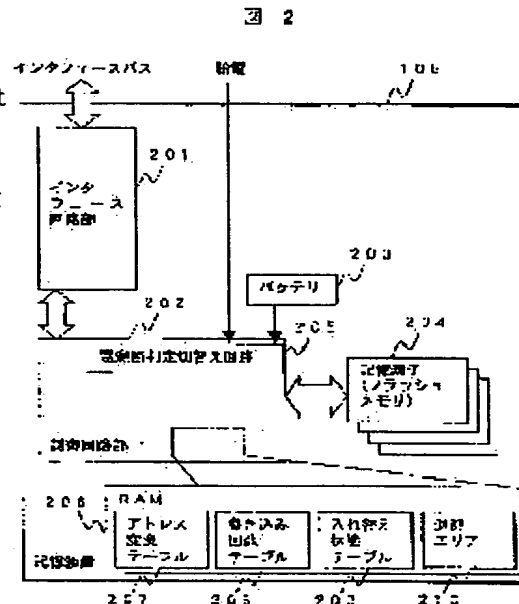
TAKATANI SOICHI

## (54) STORAGE DEVICE WITH FLASH MEMORY AND COMPUTER

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a storage device capable of replacing a data region without any problem even if there is an access from a host when replacing the data in a flash memory.

SOLUTION: RAM 206 of a control circuit part 202 is provided with a replacing state table 209 storing a state flag for every block unit and a retreat area 210, copies an OS region block in the retreat area 210 by read/write request of a data region block, and rewrite the flag state of the block replacing state table 209, or a target of relocation.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2003-216506

(P2003-216506A)

(43)公開日 平成15年7月31日(2003.7.31)

(51)Int.Cl.<sup>7</sup>

G 0 6 F 12/16

G 1 1 C 16/02

識別記号

3 1 0

F I

G 0 6 F 12/16

G 1 1 C 17/00

テマコード\*(参考)

3 1 0 A 5 B 0 1 8

6 0 1 C 5 B 0 2 5

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号 特願2002-13641(P2002-13641)

(22)出願日 平成14年1月23日(2002.1.23)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 金田 隆仁

茨城県日立市大みか町五丁目2番1号 株

式会社日立製作所情報制御システム事業部  
内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

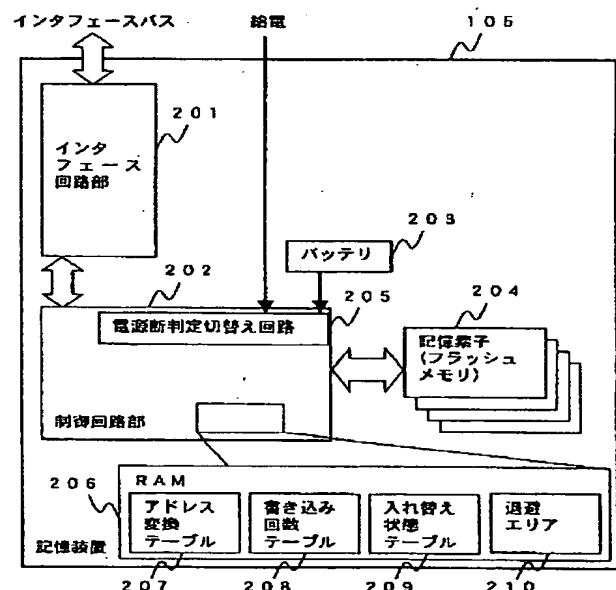
(54)【発明の名称】 フラッシュメモリを搭載した記憶装置及び計算機

## (57)【要約】

【課題】フラッシュメモリ内のデータ入れ替え時にホストからのアクセスがあっても問題なくデータ領域の入れ替えが可能である記憶装置及び計算機を提供する。

【解決手段】制御回路部202のRAM206がさらにブロック単位毎の状態フラグを記憶している入れ替え状態テーブル209と退避エリア210を備え、データ領域ブロックの読み出し書き込み要求によりOS領域ブロックを退避エリア210にコピーするとともに再配置の対象となるブロックの入れ替え状態テーブル209のフラグ状態を書き換える。

図 2



## 【特許請求の範囲】

【請求項1】 インタフェース回路部と、該インタフェース回路部と接続された制御回路部と、該制御回路部と接続されるフラッシュメモリとを備え、前記制御回路部が前記フラッシュメモリのブロック単位毎の論理アドレスと物理アドレスの変換を記憶しているアドレス変換テーブルと、OS領域を含めブロック単位毎の書き込み回数を記憶している書き込み回数テーブルとが設けられたRAMを具備するものであって、データ領域ブロックの読み出し書き込み要求によりOS領域ブロックを空き領域に再配置して書き換え及び再配置前のOS領域ブロックに前記データ領域ブロックの書き込みを行い、アドレス変換テーブルの変更を行うことを特徴とする記憶装置。

【請求項2】 前記制御回路部のRAMがさらにブロック単位毎の状態フラグを記憶している入れ替え状態テーブルと退避エリアを備えるものであって、前記データ領域ブロックの読み出し書き込み要求により前記OS領域ブロックを前記退避エリアにコピーするとともに再配置の対象となるブロックの前記入れ替え状態テーブルのフラグ状態を書き換える請求項1に記載の記憶装置。

【請求項3】 前記制御回路部はデータ領域ブロックの読み出し書き込み要求により前記書き込み回数テーブルに記憶された前記データ領域ブロックの書き込み回数が設定された回数以上と判別された時は、書き込み回数が最小又は少ないブロックとの入れ替え処理を行う請求項1に記載の記憶装置。

【請求項4】 ホストと、該ホストと制御ブリッジに介して接続されたインタフェースバス及びメモリと、該インタフェースバスと接続されたインタフェース回路部と、該インタフェース回路部と接続された制御回路部と、該制御回路部と接続されるフラッシュメモリとを備え、前記制御回路部が前記フラッシュメモリのブロック単位毎の論理アドレスと物理アドレスの変換を記憶しているアドレス変換テーブルと、OS領域を含めブロック単位毎の書き込み回数を記憶している書き込み回数テーブルとが設けられたRAMを具備するものであって、前記ホストからのデータ領域ブロックの読み出し書き込み要求によりOS領域ブロックを空き領域に再配置して書き換え及び再配置前のOS領域ブロックに前記データ領域ブロックの書き込みを行い、アドレス変換テーブルの変更を行うことを特徴とする計算機。

【請求項5】 前記制御回路部のRAMはブロック単位毎の状態フラグを記憶している入れ替え状態テーブルと退避エリアを備えるものであって、前記データ領域ブロックの読み出し書き込み要求により前記OS領域ブロックを前記退避エリアにコピーして退避エリアの物理アドレスを割り当てるとともに再配置の対象となるブロックの前記入れ替え状態テーブルのフラグ状態を書き換え、前記ホストからのアクセス時に前記フラグ状態を参照して読み出しを行う請求項4に記載の計算機。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体フラッシュメモリを用いた記憶装置に係り、特に寿命を延ばすのに好適な記憶装置に関する。

【0002】

【従来の技術】 半導体フラッシュメモリを用いた記憶装置は低消費電力であること、また衝撃や振動に強いことから信頼性の高い記憶装置として磁気ディスク装置の代わりに利用されている。しかし、磁気ディスク装置が書き換え回数にほとんど制限がないのに対し、半導体フラッシュメモリを用いた記憶装置は、書き込み・消去時に強い電界を加える必要があるため、書き込み・消去回수에制限があるという問題がある。このため、例えばフラッシュメモリ内のある記憶された領域のデータを読み出し、そのデータに変更を加えた場合に、元の領域に再び書き込むというように特定の領域だけ集中的に書き込まれてその領域だけ書き込み回数が多くなるのを防ぐため、フラッシュメモリ内の空き領域を探し出し、変更のあったデータを空き領域に移して書き込むという再配置処理が行われている。

【0003】 特開平6-124596号公報に記載の従来の技術では、不揮発性メモリの書き換え単位（消去単位ともいう）で消去回数を計算して記録し、データの書き換えを行う際に、データの書き換えを行う予定の領域の書き換え回数が規定の回数に達している場合は、消去回数の少ない領域を検索して論理格納アドレスの割り当てを入れ替えることにより消去回数の均一化を図っている。

【0004】 また、特開2000-20252号公報には、管理アドレステーブルは備えていないが、4つのセクタデータを格納したブロックの消去回数を計数して記録することにより各書き換えブロックの書き換え頻度を測定し、書き換え頻度が高いと判断されたブロックの各セクタを別の特定のブロックに移す、すなわち論理格納ブロックを展開領域の物理ブロックに移す管理方法が記載されている。

【0005】

【発明が解決しようとする課題】 特開平6-124596号公報、特開2000-20252号公報に記載の従来例のように、読み出したデータに変更を加えた場合に順次空き領域を探し出し、その空き領域に書き込むという方法により、フラッシュメモリの領域間に書き込み回数の偏りが生じるのをある程度解消でき、フラッシュメモリを搭載した記憶装置の寿命を延ばすことができる。しかし、この方法は、読み出したデータに変更を加えた場合だけデータを書き込む領域を変える方法であり、データを読み出すだけでデータには全く変更を加えないような場合は、そのデータが記憶されている領域の書き込み回数は最初に書き込んだ1回のままであり、フラッシュ

メモリの全領域を有効に利用していないこととなる。

【0006】本発明の第1の目的は、記憶装置のフラッシュメモリ内部の全ブロックについてブロック毎の書き込み回数に差が生じないようにできる記憶装置及び計算機を提供することにある。

【0007】本発明の第2の目的は、フラッシュメモリ内のデータ入れ替え時にホストからのアクセスがあっても問題なくデータ領域の入れ替えが可能である記憶装置及び計算機を提供することにある。

【0008】

【課題を解決するための手段】上記第1の目的を達成するために、本発明の記憶装置は、制御回路部がフラッシュメモリのブロック単位毎の論理アドレスと物理アドレスの変換を記憶しているアドレス変換テーブルと、OS領域を含めブロック単位毎の書き込み回数を記憶している書き込み回数テーブルとが設けられたRAMを具備するものであって、データ領域ブロックの読み出し書き込み要求によりOS領域ブロックを空き領域に再配置して書き換え及び再配置前のOS領域ブロックに前記データ領域ブロックの書き込みを行い、アドレス変換テーブルの変更を行うことを特徴とする。

【0009】又、計算機は、ホストからのデータ領域ブロックの読み出し書き込み要求によりOS領域ブロックを空き領域に再配置して書き換え及び再配置前のOS領域ブロックに前記データ領域ブロックの書き込みを行い、アドレス変換テーブルの変更を行うことを特徴とする。

【0010】上記第2の目的を達成するため、本発明の記憶装置は、制御回路部のRAMがさらにブロック単位毎の状態フラグを記憶している入れ替え状態テーブルと退避エリアを備えるものであって、データ領域ブロックの読み出し書き込み要求によりOS領域ブロックを前記退避エリアにコピーするとともに再配置の対象となるブロックの入れ替え状態テーブルのフラグ状態を書き換えるものである。

【0011】又、計算機は、制御回路部のRAMはブロック単位毎の状態フラグを記憶している入れ替え状態テーブルと退避エリアを備えるものであって、データ領域ブロックの読み出し書き込み要求によりOS領域ブロックを退避エリアにコピーして退避エリアの物理アドレスを割り当てるとともに再配置の対象となるブロックの入れ替え状態テーブルのフラグ状態を書き換え、ホストからのアクセス時に前記フラグ状態を参照して読み出しを行うものである。

【0012】

【発明の実施の形態】以下、本発明の一実施例を図1から図5を用いて説明する。図1は本実施例における計算機システムの構成図である。計算機システム100は、CPU101（ホスト101ともいう）、CPU101と接続された制御ブリッジ102（制御Bridge102）、制

御ブリッジ102と接続されたメモリ103及びインタフェースバス104、インタフェースバス104に接続された記憶装置105で構成されている。記憶装置105とのインタフェースとしては、IDEバス、SCSIバス、PCIバス、ISAバスなどが用いられる。

【0013】図2に示すように、記憶装置105は、ホスト101とのデータなどのやり取りを行うインタフェース回路部201、インタフェース回路部201及びデータの記憶を行う記憶素子204と接続され記憶素子204の制御を行う制御回路部202で構成される。記憶素子204は、フラッシュメモリで構成されている。

【0014】インタフェース回路部201は、ホスト101とのバスインタフェースを制御する回路であり、PCアーキテクチャバスと制御回路部202とのデータのやり取り及びタイミングの制御を行っている。

【0015】制御回路部202には、記憶素子204の情報の管理データを格納するRAM206及び電源断判定切替え回路205が設けられ、この電源断判定切替え回路205は給電側とバッテリー203と接続されており、給電側の電源が断と判定された場合は、バッテリー203に切り替える制御を行う。RAM206は、記憶素子204の書き換え単位毎、すなわちブロック単位毎の論理アドレスと物理アドレスとの変換を記憶しているアドレス変換テーブル207、書き換え単位毎の書き込み回数を記憶している書き込み回数テーブル208、入れ替え状態テーブル209、フラッシュメモリの1ブロック分の容量を持つデータ退避エリア210で構成されている。

【0016】制御回路部202は、ホスト101からのデータ書き込み／読み出し要求に対し、フラッシュメモリへのアクセス管理を行い、またフラッシュメモリ内のブロック単位でのアドレス変換制御、書き込み回数制御、入れ替え状態制御を行っている。

【0017】図3は、本実施例のフラッシュメモリ内のブロック単位での書き換え方法を示した図である。状態1は、一度書き込みを実施するとバグ対策、ドライバの追加などがなければ書き込みが発生しないOS領域

(1)～(4)と、状態ログや通常頻繁に書き込みが実施されるデータ領域(1)、(2)と、有効データがない空き領域が存在する状態でのフラッシュメモリ内のデータ割り当てを示している。状態1での書き込み回数は、OS領域は1、データ領域(1)は10、データ領域(2)は8、空き領域は0であり、データ領域

(1)、(2)は書き換えが頻繁に行われるため、データ領域の書き込み回数がフラッシュメモリの書き込み限界回数に達すると、このフラッシュメモリは書き込み回数の少ない領域が多くあるにもかかわらず寿命となる。

【0018】これを防ぐため、本実施例では、書き込みが頻繁には行われないOS領域のデータを空き領域などへ再配置し、再配置前のOS領域をデータ領域として使

用して、フラッシュメモリの領域全体の書き込み回数を書き込み限界回数まで近づけるようにして、フラッシュメモリ全体を有効に使用して長寿命化を図っている。

【0019】状態2では、データ領域(1)のデータを読み出し、書き込み要求が発生した場合、OS領域(1)のデータを空き領域に再配置して置き換えを行い、再配置前のOS領域(1)をデータ領域(1)としてデータを書き込む。この再配置の結果、状態3に示すように、データ領域(1)、空き領域の書き込み回数は、それぞれ2、10となる。この処理を繰り返すことにより、フラッシュメモリ全体の書き込み回数を同じ回数に近くすることができ、書き込み限界回数まで近づけることができる。この時、再配置をしたことによる論理アドレスと物理アドレスの変換を行い、その結果をアドレス変換テーブルに記憶する。

【0020】又、データ領域(1)のデータを読み出し、書き込み要求が発生した場合、このブロックの書き込み回数が書き込み回数テーブルを参照して設定された回数に達しているか否かを判別し、設定された回数に達している場合に再配置するようにしても良い。このようにすることにより、再配置の頻度が少なくなり、書き換え速度を上げることができる。

【0021】OS領域(1)のデータを空き領域に再配置して置き換えを行っている際に、ホスト101からOS領域の読み出し要求があった場合、空き領域に書き込む時間及びアドレス管理テーブルを書き換える時間は待ち時間となり、データアクセス時間が長くなるためシステム性能の低下につながる。この問題を回避するため、置き換えを行う前に、制御回路部202にあるRAM206空間のデータ退避エリア210にOS領域(1)をコピーする。置き換えを行っている間にOS領域(1)に対してホスト101からアクセス要求があった場合は、制御回路部202のRAM206空間のコピーデータを読み出すようにしている。このように、RAM206のデータを読み出すことでアクセス時間が長くなるのを防ぐことができる。

【0022】また、制御回路部202のRAM206の変換テーブル207、書き込み回数テーブル208、入れ替え状態テーブル209にある管理情報は、RAMが揮発性メモリのため、システムの電源断により給電が行われなくなるとデータが消失してしまう。これを回避するため、制御回路部202内に電源断判定切替え回路205により、システムからの給電断が行ったことを判別して制御回路部202及びフラッシュメモリへの給電をバッテリー203に切り替え、RAM206内のデータをフラッシュメモリへ退避させる。RAM206内のデータの退避が終了した後、バッテリー電力保持のためバッテリー203からの給電を止める動作を実施する。

【0023】図4は、制御回路部202内のRAM206の管理テーブルを示しており、状態1から状態3の各

状態は、図3に示す各状態に対応している。管理テーブルは、アドレス変換テーブル、データ意味、書き込み回数テーブル、入れ替え状態テーブルで構成される。アドレス変換テーブルには、論理アドレスと物理アドレスが設けられ、論理アドレスと物理アドレスとの関係が対応づけられている。この論理アドレスと物理アドレスとの対応づけでは、フラッシュメモリの再配置により物理アドレスの変更が生じるが、OSにて制御する論理アドレスとの関係を崩さないように管理している。書き込みテーブルは、フラッシュメモリ内の書き込みブロック単位の書き込み回数を管理している。入れ替え状態テーブルは、各ブロックの現在の状態フラグを記憶しているテーブルであり、再配置が実行された時に再配置の置き換え対象となるブロックには「1」のフラグが、再配置の対象であり、かつ制御回路部202内のRAM206へデータを退避する対象となるブロックには「2」のフラグが、再配置も何も実施していないブロックには「0」のフラグが立てられる。ホスト101からデータ転送要求があった場合、この入れ替え状態テーブルのフラグを参照することにより、ブロック内のデータ状態の判別が行われる。なお、フラグが「2」のブロックは、RAM206の退避エリアにデータ転送されているので、物理アドレスはRAM206の退避エリアのアドレスが割り当てられる。

【0024】図5は、本実施例の処理フローを示している。この処理は、ホストからのデータ書き込み要求があり、データ書き込み処理の終了後に実施される。

【0025】ステップ501では、フラッシュメモリ内のブロックの書き込み回数テーブルを参照して書き込み回数をチェックする。このチェックでは、ステップ502で書き込み回数が多いブロックの有無、書き込み回数が設定された回数以上書き込まれているブロックの有無などの判定を行い、これらに該当する書き込み回数の多いブロックがない場合は、処理を終了する。書き込み回数の多いブロックがあった場合は、ステップ503で書き込み回数が最小又は少ないブロックを選定し、ステップ504で書き込み回数の多いブロックと書き込み回数が最小又は少ないブロックとの入れ替え処理を実行する。その後、ステップ505で入れ替え先のブロックをRAM206にコピーし、ステップ506で入れ替え元のブロック及び入れ替え先のブロックに対しフラグを設定する。ステップ507でフラッシュメモリ内のブロックの入れ替え処理を実施し、ステップ508でアドレス変換テーブルを書き換え、ステップ509で入れ替えフラグをクリアする。

【0026】また、ステップ510でRAM206に退避している間にホストから当該ブロックへアクセスがあった場合、ステップ510でRAM206への退避処理を停止し、ステップ511でフラッシュメモリ上の当該データに書き込みもしくは読み出しを行う。ステップ5

12でホスト要求が終了した後、RAM206に退避処理を実行する。

【0027】なお、RAM206内の管理テーブルは、ホスト101からの要求（バスコマンドともいう）などにより、状態管理データとしてシステム装置に接続されているコンソールなどの表示装置に表示して、参照することができる。この情報により、ユーザはフラッシュメモリの寿命管理、バッテリーの残りの電力量などを管理することができる。

【0028】又、これまで説明した例では、ブロック単位で管理する方式を説明したが、ホストからのアクセス単位、例えばセクタ単位での管理にも適用できる。

【0029】又、本実施例では、RAM内にフラッシュメモリ管理情報を設ける場合を説明したが、その他通電時間、アクセス回数、リード/ライト回数などを管理するレジスタ及びメモリを設けることにより記憶装置の総合的な寿命管理を行うことができる。

【0030】以上説明したように、本実施例によれば、記憶装置のフラッシュメモリ内部の全ブロックについて書き込み回数をカウントし、ブロック毎の書き込み回数に差が生じないように、データに変更が加えられない場合にも、強制的に書き込み回数の少ないブロックと書き込み回数の多いブロックの入れ替えを行うので、記憶装置の寿命を延ばすことができる。

【0031】又、書き込み回数のチェック結果により読み出しのないデータをも強制的に入れ替える際に、入れ替えるデータにアクセス要求があっても誤動作を生じることなく、読み出されたデータを書き込むことができ

る。

【0032】

【発明の効果】本発明によれば、フラッシュメモリのブロック毎の書き込み回数により入れ替えを行うので記憶装置の寿命を延ばすことができる。又、フラッシュメモリの書き込み回数がある設定値にまで達し、データ領域の入れ替えを行う際、その領域内にあるデータへのアクセスが同時に起こった場合でも、問題なくデータ領域の入れ替えが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例である計算機システムの構成図である。

【図2】本実施例の記憶装置の構成図である。

【図3】フラッシュメモリ内のブロック単位での書き換え方法を示した図である。

【図4】制御回路部内のRAMの管理データを示した図である。

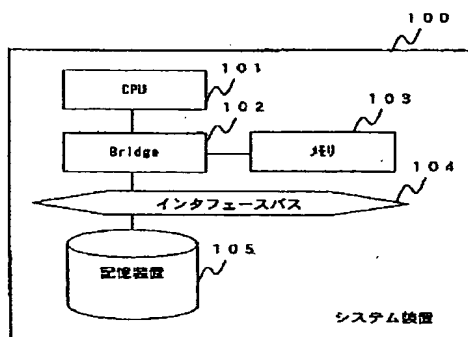
【図5】本実施例の処理の流れ図である。

【符号の説明】

20 100…計算機システム、101…CPU、102…制御ブリッジ、103…メモリ、104…インタフェースバス、105…記憶装置、201…インタフェース回路部、202…制御回路部、203…バッテリー、204…記憶素子（フラッシュメモリ）、205…電源断判定切替回路、206…RAM、207…アドレス変換テーブル、208…書き込み回数テーブル、209…入れ替え状態テーブル、210…データ退避エリア。

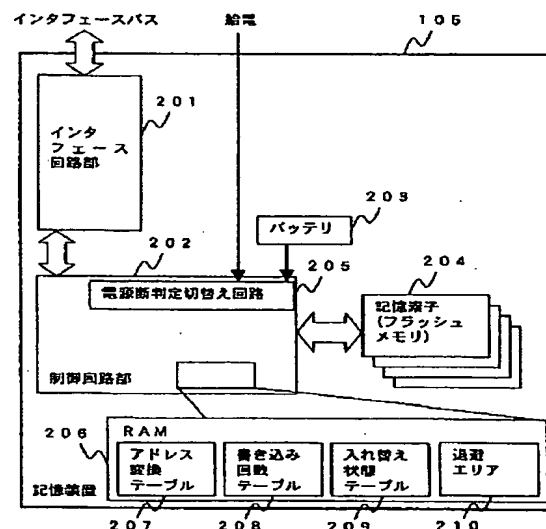
【図1】

図 1



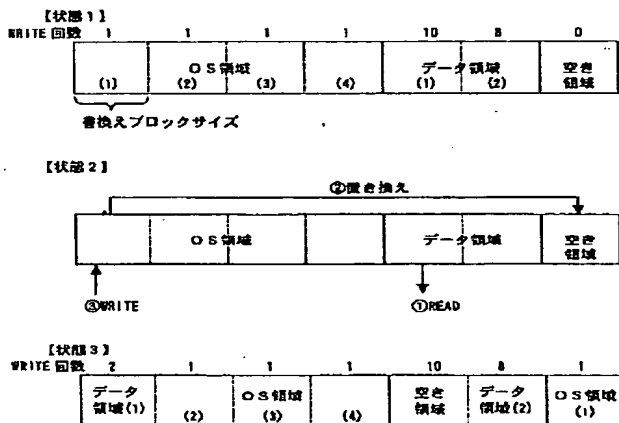
【図2】

図 2



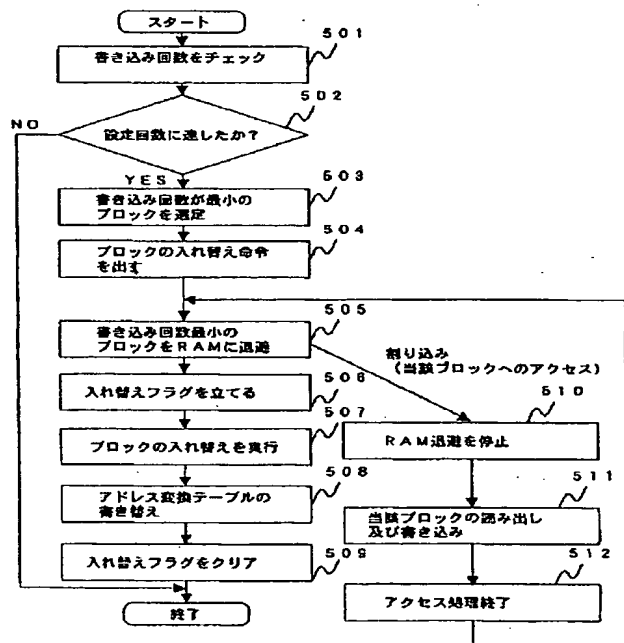
【図3】

図 3



【図5】

図 5



【図4】

図 4

管理テーブル内容

【状態1】

アドレス変換テーブル		データ意味	書き込み回数 テーブル	入れ替え状態 テーブル 入れ替えフラグ
論理アドレス	物理アドレス			
0	0	OS (1)	1	0
1	1	OS (2)	1	0
2	2	OS (3)	1	0
3	3	OS (4)	1	0
4	4	データ (1)	10	0
5	5	データ (2)	8	0
6	6	空き領域	0	0

【状態2】

アドレス変換テーブル		データ意味	書き込み回数 テーブル	入れ替え状態 テーブル 入れ替えフラグ
論理アドレス	物理アドレス			
0	退避エリア	OS (1)	1	2
1	1	OS (2)	1	0
2	2	OS (3)	1	0
3	3	OS (4)	1	0
4	4	データ (1)	10	0
5	5	データ (2)	8	0
6	6	空き領域	0	1

【状態3】

アドレス変換テーブル		データ意味	書き込み回数 テーブル	入れ替え状態 テーブル 入れ替えフラグ
論理アドレス	物理アドレス			
0	6	データ (1)	2	0
1	1	OS (2)	1	0
2	2	OS (3)	1	0
3	3	OS (4)	1	0
4	0	空き領域	10	0
5	5	データ (2)	8	0
6	4	OS (1)	1	0

フロントページの続き

(72)発明者 稲上 浩史

茨城県日立市大みか町五丁目2番1号 株  
式会社日立製作所情報制御システム事業部 05  
内

(72)発明者 高谷 壮一

茨城県日立市大みか町五丁目2番1号 株  
式会社日立製作所情報制御システム事業部  
内

Fターム(参考) 5B018 GA04 HA23 HA24 LA01 MA23  
NA06 QA05 QA16  
5B025 AD04 AD05 AE01

BEST AVAILABLE COPY